

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-188931

(43)Date of publication of application : 04.11.1983

(51)Int.Cl. H03K 17/687  
H03K 5/02  
H03K 5/15

(21)Application number : 57-072072

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 28.04.1982

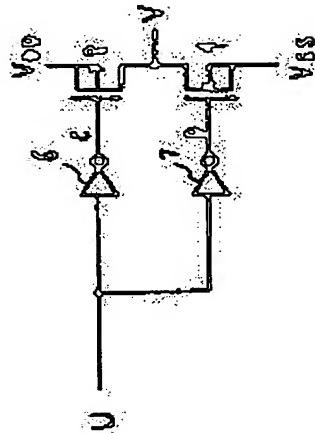
(72)Inventor : MATSUZAKI YUICHI  
YAMAZAKI TAKU

## (54) DRIVING CIRCUIT OF CMOS BUFFER AMPLIFIER

### (57)Abstract:

**PURPOSE:** To reduce current consumption, by giving different amplification factors to a P and an N channel transistor (TR) and preventing the penetration current of a buffer amplifier.

**CONSTITUTION:** When the amplification factor of the P channel TR8 is made greater than that of the N channel TR9, a driving circuit 6 generates an output signal which has large trailing edge delay and small leading edge delay. Similarly when the amplification factor of the N channel TR9 is made greater than that of the P channel TR8, a driving circuit 7 generates an output signal which has small trailing edge delay and large leading edge delay. Then, the period wherein both TRs 8 and 9 turn on is provided by the leading edge difference and trailing edge difference between the TRs 8 and 9 to prevent the penetration current flowing between power sources at a transient point.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑰ 公開特許公報 (A)

昭58—188931

⑯ Int. Cl.<sup>3</sup>  
H 03 K 17/687  
5/02  
5/15

識別記号

序内整理番号  
7105—5 J  
7232—5 J  
7232—5 J

⑯ 公開 昭和58年(1983)11月4日

発明の数 1  
審査請求 未請求

(全3頁)

⑩ CMOSバッファアンプ駆動回路

⑪ 特願 昭57—72072  
⑫ 出願 昭57(1982)4月28日  
⑬ 発明者 松崎有一  
諏訪市大和3丁目3番5号株式  
会社諏訪精工舎内

⑪ 発明者 山崎卓

諏訪市大和3丁目3番5号株式  
会社諏訪精工舎内

⑫ 出願人 株式会社諏訪精工舎  
東京都中央区銀座4丁目3番4  
号

⑬ 代理人 弁理士 最上務

明細書

1. 発明の名称 CMOSバッファアンプ  
駆動回路

2. 特許請求の範囲

CMOSバッファアンプにおいて、 $\text{M}_1$ チャンネルトランジスタと $\text{M}_2$ チャンネルトランジスタが同時にONとなることを禁止するために、前記 $\text{M}_1$ チャンネルトランジスタと $\text{M}_2$ チャンネルトランジスタのゲートをそれぞれ別々に駆動するバッファアンプ駆動回路において、CMOSバッファアンプの $\text{M}_1$ チャンネルトランジスタのゲートを駆動する回路の $\text{M}_1$ チャンネル側トランジスタの増幅率を $\text{M}_2$ チャンネルトランジスタと比較して大きくし、CMOSバッファアンプの $\text{M}_2$ チャンネルトランジスタのゲートを駆動する回路の $\text{M}_2$ チャンネルトランジスタの増幅率を $\text{M}_1$ チャンネルトランジスタと比較して小さくした構成であることを特徴とする、CMOSバッファアンプ駆動回路。

3. 発明の詳細な説明

本発明は、電子回路において比較的大きな増幅率を有するバッファアンプの駆動回路に関する。

従来、CMOSバッファアンプを駆動する回路において、バッファアンプの $\text{M}_1$ チャンネルトランジスタ、 $\text{M}_2$ チャンネルトランジスタを介して電源間に流れる貫通電流を軽減するために、第1回に示すような回路が知られている。この回路の動作は、バッファアンプに流れる貫通電流を小さえるために、CMOSバッファアンプの $\text{M}_1$ チャンネル側トランジスタ4と $\text{M}_2$ チャンネル側トランジスタ5を異なる回路2、3で駆動し、デジタル回路的に $\text{M}_1$ チャンネルトランジスタ4と $\text{M}_2$ チャンネルトランジスタ5に異なつた信号を加え、過渡時点において $\text{M}_1$ チャンネルトランジスタ4、 $\text{M}_2$ チャンネルトランジスタ5双方ともOFFの期間を作成している。すなわち、ディレイタイプのフリップフロップ1をクロック信号中で駆動し、データ信号エをクロックパルス分だけおくさせてW信号を作成し、エ信号とW信号の合成信号により、 $\text{M}_1$ と

チャンネルトランジスタ4とNチャンネルトランジスタ5の双方ともT<sub>1</sub>、T<sub>2</sub>間でOFFとなる2拍頭の信号AとBとを作成し、出力信号Yの変化時に流れる負荷電流を防止している。しかし本回路においては、負荷電流は僅減されるが、回路延迟がかなり増加してしまうという欠点がみつた。更に従来例における欠点として、回路信号Yがパルス状で、かつパルス幅が正確なものを得たい場合、クロック信号の同期をパルス幅の数十分の1以下にしなければならず、低周波化の面に悪影響を与えること、回路上不可能であつたりした。

本発明は、従来例の機能を複雑でかつ使用上の制約の強い回路を構成せずに、従来例と同様に負荷電流を僅減することを目的とする。

以下に本発明の詳細を説明を行なう。

本発明の実施例を第2図に示す。本回路によれば、従来の複雑な回路は要せず、CMOSインバータ回路2個で構成できる。

第2図(b)に示す回路においてAチャンネルトランジ

スタ9の双方ともOFFとなる期間がとれるようになる。OFF期間の幅やトランジスタのディレイ時間は、100オーダー以下で充分である。これによつて、CMOSパッファアンプにON-OFF(双方ともにON)の期間がなくなり、過渡時点において負荷間を流れる負荷電流を防止できる。また本回路は、従来例のように、Pチャンネル側とNチャンネル側で負をつた信号を必要とせず、同一の信号をリニア回路的ディレイの済いだけでパッファアンプの負荷電流を防止することができるため、延迟面及び回路信号への制約面において、従来例よりもすぐれている。

また、本回路を応用すれば、パッファアンプのみでなく他の回路の駆動においても、負荷電流を防止するのに有用である。さらに、本回路を使用することにより、時計用エッジにおいてさらに負荷電流の低減が可能となる。

#### 4. 図面の簡単な説明

第1図、a、b、cは、CMOSパッファアンプの

回路構成をNチャンネル側トランジスタに比較して大きくすることによつて、駆動回路6の出力は、第2図(b)に示すように、立下りのディレイが大きく、かつ立上りのディレイの小さな出力信号波形となる。同様に駆動回路7において、Pチャンネルトランジスタの回路構成をPチャンネルトランジスタと比較して大きくすることにより、第2図(b)に示すように、立下りのディレイが小さく、かつ立上りのディレイの大きな出力信号波形が作成される。さらに駆動回路6と駆動回路7に上つて出力される出力信号波形が、第2図(b)に示すようなディレイの関係を持つようにする。

すなわち、OについてはT<sub>0</sub>-T<sub>1</sub>間でPチャンネルトランジスタ8がOFFとなり、T<sub>2</sub>-T<sub>3</sub>間でONとなり、T<sub>4</sub>-T<sub>5</sub>間でOFFとなるようになる。Dについては、Nチャンネルトランジスタ9がT<sub>0</sub>-T<sub>1</sub>間でON、T<sub>2</sub>-T<sub>3</sub>間でOFF、T<sub>4</sub>-T<sub>5</sub>間でONとなるようになる。結局、T<sub>1</sub>-T<sub>0</sub>間、T<sub>5</sub>-T<sub>4</sub>間で、Pチャンネルトランジスタ8およびNチャンネルトランジ

負荷電流を僅減する、従来方法の回路例及びその波形図。

第2図a、bは、本発明の一実施例を示す回路及び波形図。

- 1…ディレイ型フリップフロップ
- 2…Pチャンネル駆動OR回路
- 3…NAND回路
- 4…CMOSパッファアンプPチャンネルトランジスタ
- 5…CMOS
- X…入力信号波形
- Y…クロック入力信号波形
- Z…ディレイ型フリップフロップ出力信号波形
- A…パッファアンプPチャンネル側回路信号波形
- B…
- C…パッファアンプ出力信号波形
- D…Pチャンネル駆動回路
- E…NAND
- F…CMOSパッファアンプPチャンネルトランジ
- ST

9 … CMOS バッファアンプ N チャンネルト

ランジスタ

U … 入力信号波形

o … バッファアンプ A チャンネル側駆動信号

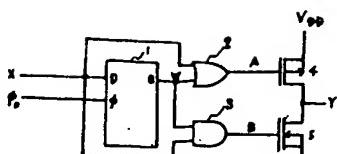
波形

D … / / / / / / / /

v … バッファアンプ出力信号波形

以 上

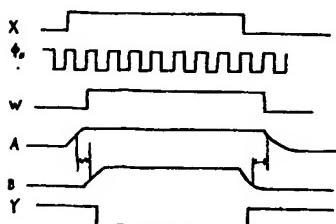
第 1 図



(a)

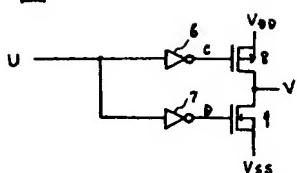
出願人 株式会社 防衛精工舍

代理人 弁理士 最上 務

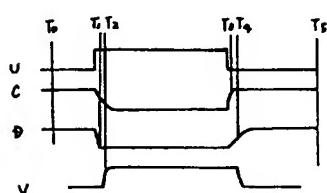


(b)

第 2 図



(a)



(b)